

001. 115,338,963

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-7089

(43) 公開日 平成7年(1995)1月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8244				
27/11				
G 1 1 C 11/41		7210-4M	H 0 1 L 27/ 10 3 8 1	
			G 1 1 C 11/ 40 D	
			審査請求 有 請求項の数20 F D (全 7 頁)	

(21) 出願番号	特願平6-49989	(71) 出願人	390009531 インターナショナル・ビジネス・マシー ズ・コーポレーション INTERNATIONAL BUSIN ESS MASCHINES CORPO RATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22) 出願日	平成6年(1994)2月24日	(72) 発明者	ウェン ユアン ワン アメリカ合衆国 12533 ニューヨーク州 ホープウェル ジャンクション インス ブルック プルバード 28
(31) 優先権主張番号	08/043,090 ✓	(74) 代理人	弁理士 合田 潔 (外3名)
(32) 優先日	1993年4月5日		
(33) 優先権主張国	米国 (US)		

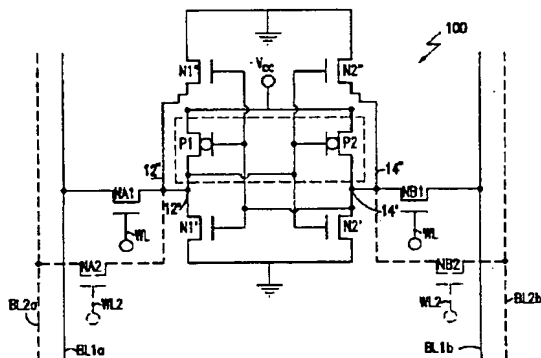
最終頁に続く

(54) 【発明の名称】 記憶セル

(57) 【要約】

【目的】 ソフトエラーに対して免疫性を有するCMOSスタック・ラム・セルを提供する。

【構成】 記憶セルのソフトエラーに対する免疫性が、蓄電ノードを少なくとも2つの部分に分割し、これらの部分を憶セルのトランジスタが形成される基板の導電型と反対の導電型の井戸のような隔離構造の反対側に配置することによって大幅に増加する。従って、電荷がエネルギー・アルファ粒子のような電離性放射による衝突によって産まれるとき、隔離構造は、電荷の集積を蓄電ノードの1つの部分に限定し、臨界量の電荷が集積できず、統計的に無視できる場合の数のレベルへ電荷集積効率を減らす。この機構を有する記憶セルのレイアウトは、ワード線アクセス・トランジスタ及びビット線を含む追加ポートの形成のために、簡略化したトポロジを提供できる利点がある。



1

【特許請求の範囲】

【請求項 1】 第 1 の導電型の半導体基板と、
上記基板に形成された第 2 の導電型の井戸と、
各交差結合インバータの少なくとも 2 つのトランジスタ
のそれぞれの部分から構成される蓄電ノードを有する 2
つの交差結合インバータと、
から構成され、上記第 2 の導電型の上記井戸の部分が、
上記少なくとも 2 つのトランジスタの上記それぞれの部分
の間に位置している記憶セル。

【請求項 2】 上記トランジスタが、電界効果トランジ
スタである請求項 1 に記載の記憶セル。

【請求項 3】 上記トランジスタが、相補形電界効果ト
ランジスタである請求項 1 に記載の記憶セル。

【請求項 4】 少なくとも 1 つの上記交差結合インバータ
が、上記第 2 の導電型の上記井戸に位置するトランジス
タを含む請求項 3 に記載の記憶セル。

【請求項 5】 ビット線及び上記蓄電ノードと該ビット
線の間に接続されたワード線アクセス・トランジスタを
含む請求項 1 に記載の記憶セル。

【請求項 6】 更に、少なくとも 2 つのビット線及び少く
とも 2 つのワード線アクセス・トランジスタを含み、上
記各ワード線アクセス・トランジスタが、上記蓄電ノード
と上記少なくとも 2 つのビット線の 1 つの間に接続されて
いる請求項 1 に記載の記憶セル。

【請求項 7】 更に、ビット線及び上記蓄電ノードと上
記ビット線の間に接続されたワード線アクセス・トラン
ジスタを含む請求項 4 に記載の記憶セル。

【請求項 8】 更に、少なくとも 2 つのビット線及び少く
とも 2 つのワード線アクセス・トランジスタを含み、上
記ワード線アクセス・トランジスタが、上記蓄電ノード
と上記少なくとも 2 つのビット線の 1 つの間に接続されて
いる請求項 4 に記載の記憶セル。

【請求項 9】 少なくとも 2 つの空間的に隔てられた空乏
領域によって形成された蓄電ノードと、
少なくとも 2 つの上記空間的に隔てられた空乏領域の間
に位置し、上記少なくとも 2 つの空間的に隔てられた空乏
領域の第 1 の近傍で電離性放射によって産まれた電荷の
集積を、上記少なくとも 2 つの空間的に隔てられた空乏
領域の第 2 で減らすための手段と、
を備えた記憶セル。

【請求項 10】 上記少なくとも 2 つの空間的に隔てられ
た空乏領域が、第 1 の導電型の基板に形成される請求項
9 に記載の記憶セル。

【請求項 11】 上記電荷の集積を減らすための手段
が、第 2 の導電型の井戸である請求項 10 に記載の記憶
セル。

【請求項 12】 上記半導体基板が、P 形半導体基板で
ある請求項 1 に記載の記憶セル。

【請求項 13】 上記 2 つの交差結合増幅器が、相補形
金属酸化物半導体を含む請求項 1 に記載の記憶セル。

2

【請求項 14】 一対の交差結合されたトランジスタ・
インバータを含み、第 1 の導電型の基板の表面で形成さ
れ、少なくとも 1 つの上記交差結合インバータの少なくとも
2 つのトランジスタが、上記基板の表面で形成されてい
て、蓄電ノードに接続し、隔離構造が上記基板の上記表
面の部分に配置され、上記少なくとも 2 つのトランジスタ
の間に延びている記憶セル。

【請求項 15】 上記隔離構造が、第 2 の導電型半導体
材料の井戸を含む請求項 14 に記載の記憶セル。

【請求項 16】 更に、上記第 2 の導電型の上記井戸に
形成された少なくとも 1 つの上記交差結合インバータのト
ランジスタを含む請求項 15 に記載の記憶セル。

【請求項 17】 更に、上記少なくとも 2 つのトランジ
スタの 1 つに隣接し、上記第 2 の導電型の上記井戸の概ね
反対側に置かれた第 1 のワード線アクセス・トランジス
タを含む請求項 14 に記載の記憶セル。

【請求項 18】 更に、上記少なくとも 2 つのトランジ
スタの他の 1 つに隣接し、上記第 2 の導電型の上記井戸の
概ね反対側に置かれた第 2 のワード線アクセス・トラン
ジスタを含む請求項 17 に記載の記憶セル。

【請求項 19】 更に、上記少なくとも 2 つのトランジ
スタの 1 つに隣接し、上記第 2 の導電型の上記井戸の概ね
反対側に置かれた第 1 のワード線アクセス・トランジス
タを含む請求項 15 に記載の記憶セル。

【請求項 20】 更に、上記少なくとも 2 つのトランジ
スタの他の 1 つに隣接し、上記第 2 の導電型の上記井戸の
概ね反対側に置かれた第 2 のワード線アクセス・トラン
ジスタを含む請求項 19 に記載の記憶セル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般にスタティック記
憶装置のセルの構造に関連し、特に、周囲に存在するエ
ネルギ粒子の衝突のために蓄積電荷が放電することによ
って一般的に起こるいわゆるソフトエラーに対して事実
上免疫となるスタティック・メモリ・デバイスのセルに
対する構造に関連する。

【0002】

【従来の技術】従来の技術のメモリ構造におけるデー
タ及び命令の記憶は、実質的に如何なるデータ処理装置の
アプリケーションにも必要である。この理由のために、
高性能メモリ構造の開発は、データ処理回路及び特に集
積マイクロプロセサの発達をもたらした。従って、マイ
クロプロセサの集積密度及び処理能力が増大したので、
同じ特性が、メモリの速度の向上と同様 1 チップ中のビ
ット数を増大させるために、メモリ構造においても追求
されてきた。メモリ構造は、多くの場合 2 グループに分
類されると考えられている。ダイナミック・メモリとス
タティックメモリである。ダイナミック・メモリは、セ
ル・サイズの縮小に対して大きな潜在性を持っており、
それ故、1 チップ当たりの最大の記憶量を提供できる可

能性を有する。

【0003】同様に、消費電力は、比較的に低い。一方、記憶メカニズムは、殆ど全く容量的であり、ある程度のリークが、如何なる記憶構造においても不可避であるので、記憶データを表わす蓄積電荷を、定期的にリフレッシュしなければならない。記憶データを周期的にリフレッシュするというこの必要条件のために、ダイナミック・メモリを読むことができない時間が生ずる。従って、平均サイクル・タイムを増大させ、実質的にメモリの応答速度を減少させる。更に、ダイナミック・メモリを読むためのメカニズムが、本質的に蓄積電荷の使用を必要とし、メモリに対して適当な論理電圧出力を確立するセンス増幅器において電荷アンバランスを起こす。

【0004】しかし、この動作は、蓄積電荷がセルに書き直されることを必要とし、更に最小読取りアクセス時間を増やしている。もっとも高いメモリ読取りアクセス速度は、スタティック・ランダム・アクセス・メモリ（SRAM）によって成し遂げられる。このようなスタティック・メモリにおいて、データは能動回路で構成される双安定ラッチに記憶される。従って、読み取り後に電荷を復元するためのリフレッシュ又はその他の動作に関して、時間は必要ない。SRAMが蓄積電荷に依存していると一般に考えられていないけれども、（正常動作において、読み取り又はリークによって消失する電荷は、絶えず能動双安定回路の動作によって連続的に置き換えられるので）、電界効果トランジスタによって、実施されたとき、種々のノード上に存在する電圧は、電界効果トランジスタ部分の中又は周辺の空乏領域において電荷の蓄積を起こす。

【0005】 α 粒子のような周囲からのエネルギー粒子が、このような空乏領域によって囲まれた電極をたたくと、電子とホールが、半導体材料の基体内で生成され、空乏領域の境界に沿って集まる。エネルギー粒子が電極をたたくと（例えば電荷を空乏領域に保持するN形トランジスタ）、電極上の空乏領域のサイズ及び電極の電圧は、電荷の動揺によって減らされる。同様に、エネルギー粒子が低電圧でP形トランジスタの電極をたたくと、電荷の動揺によって電圧が増大する。従って、電荷の動揺が十分に大きいと、記憶ロジック状態は逆にされる。

【0006】この誤動作がハードウェアの欠陥のためではなく、セルはその後正常に働くので、これは一般に「ソフトエラー」と呼ばれる（書き直されるまで、誤ったデータを含んでいるかもしれないけれども）。ソフトエラーは、低い電圧での待機動作で増大する。それ故、SRAM記憶セルのパフォーマンス・パラメータは、十分に大きな電圧外乱を起こすことによって、ラッチの論理状態の反転を起こす電荷量である臨界電荷 Q_c である。あいにく、高い集積密度や低動作電圧を有するSRAMセルの小型化及び低動作電圧（3.3V部品への移行）はまた、セルの安定動作に対する Q_c の値を減ず

る。

【0007】それ故に、SRAMはソフトエラーにますます弱くなった。それ故に、近年多くの試みがこのソフトエラーに対する弱点を減らすためになされてきた。しかし多くの場合、これらソフトエラーの発生率を減らす努力は、しばしばチップ上の追加の空間を占め、実際の集積化の潜在的度合を減らす追加の電子エレメント（追加のトランジスタやリフレッシュ構成又は冗長な記憶）を必要とする。更に、このような追加のエレメントは、半導体デバイスに形成する追加の層又は更に多くの処理ステップを必要とし、コストと複雑さを増加し、一般に製造歩留りを減らす。

【0008】それ故、特に満足にソフトエラーを減らすという問題に対する解決策は見つかっていない。最近重要になったSRAMSのもう1つの機構は、各セルに対する複数ポートの提供である。すなわち、2つ以上の独立に動作するビット線をもつ各セルの結合である。アクセスされるワード線上の多くの対応するセルを、同時に或いは少くとも同じメモリサイクル内で読むことができるので、このような機構は、アクセスの速度を効果的に増加することができる（アクセスされるアドレスがワード線及びビット線アドレスの組合せであるので）。しかし、既知の記憶セル構造において、デバイスに追加の絶縁体、半導体及び導体層を必要とするので、ビット線を形成している導体と協働するビット線アクセス・トランジスタのトポロジ及び双安定回路への結合が複雑になる。

【0009】それ故、1つのセルに2つ以上のポートを持つメモリは、大部分非現実的であり、各セルに対する2番目のポートでさえも、不釣合にコストを増加し、製造歩留りを減少させる。

【0010】

【発明が解決しようとする課題】従って、ソフトエラーに対して著しく改善された免疫性を有し、極めて低いソフトエラー率を示す記憶セル構造を提供することが、本発明の目的である。製造ステップを僅かしか或いは全く増加させないで、高い歩留りで作ることができる簡略化したトポロジを有する2ポート記憶セル構造を提供することが、本発明のもう1つの目的である。更に本発明の目的は、これらの特性を持たない従来のSRAMセルに比べて大きなチップの空間を必要としないで、ソフトエラーに対して非常に高い免疫を有し、少くとも2ポートで容易に形成することができる高性能SRAMセルを提供することである。

【0011】

【課題を解決するための手段】本発明の上述の目的を成し遂げるために、1つの記憶セルが、それぞれが蓄電ノードを有する第1の導電型の半導体基板、基板に形成された第2の導電型の井戸及び2つの交差結合インバータと共に提供されている。蓄電ノードは、各交差結合され

たインバータの少くとも2つのトランジスタの各部分から構成され、第2の導電型の井戸の部分は、少くとも2つのトランジスタの各部分の間に位置している。本発明の別の局面によれば、記憶セルは、少くとも2つの空間的に隔てられた空乏領域によって形成された蓄電ノードと共に提供され、隔離構造は、少くとも2つの空間的に隔てられた第1の空乏領域と、少くとも2つの空間的に隔てられた第2の空乏領域の近傍において電離性放射(ionizing radiation)によって産まれた電荷の集積を減らすために、少くとも2つの空間的に隔てられた空乏領域の間に配置されている。

【0012】本発明の更に別の局面によれば、記憶セルは、第1の導電型の基板の表面に形成された交差結合のトランジスタ・インバータと共に提供され、少くとも1つの上記交差結合インバータの少くとも2つのトランジスタが、上記基板の表面で形成され、上記記憶セルの蓄電ノードに接続し、隔離構造は、基板の表面の部分に配置され、少くとも2つのトランジスタの間に延びている。

【0013】

【実施例】図面、特に図1を参照すると、CMOS技術において実施された記憶セル10が示されている。この記憶セル構成は、本発明が改良を提供するタイプの典型的セルを表わすけれども、「関連した技術」と見出しをつけられた図1、図2及び図6が特に本発明に関する従来技術であると認められていないことを理解されたい。CMOS技術によれば、セル10においてエレメントの数を最少にするために、P形及びN形トランジスタが、一対の交差結合された増幅器又はインバータにおいて提供されている。単一チップ上のMOSトランジスタの異なるタイプ(N形、P形)の形成が、異なった導電型の基板を必要とするので、P形MOSトランジスタは、いわゆるN形井戸20に位置している。

【0014】それ故、異なった導電型の基板は、基板と反対の不純物タイプを有する井戸を基板内に形成することによって効果的に提供される。本発明に関して、最も一般的なP形基板におけるN形井戸について説明するけれども、導電型は、本発明の基本原則を変えることなく逆にできる。従来技術においてよく知られているように、論理レベル電圧が、P形及びN形トランジスタのゲート電極に共通に適用され、1つのトランジスタをオンにしようとし、他のトランジスタをオフにしようとする。従って、記憶セルは、交差結合のブッシュブル増幅器として動作し、交差結合は、それぞれ出力ノード12、14及び入力ノード16、18の間に提供される。

【0015】更に、記憶セルを構成する双安定ラッチに対するワード線アクセス・トランジスタ及びビット線によって、セルが選択的にアドレスされる。メモリ回路及びその中のセルは、また、書込み動作又は読取り動作の

機動作モードを提供するために、更に周辺構造を含んでもよい。このような周辺構造は、従来技術で既知であり、本発明をより明確にするため示されてなく、本発明の原理の理解にとって或いは、発明の実施を容易にするために重要でない。しかし、低電圧動作がまた、記憶セルの臨界ノードでの電荷の量を減らし、ソフトエラーに対する記憶セルの感度を増加するということを念頭に置く必要がある。

【0016】動作中は、ノード12及び14の中の1つだけが、常時いわゆる臨界ノードである。臨界ノードは、ラッチのN形トランジスタ部分及びワード線アクセス・トランジスタNA及びNBを形成するトランジスタN1及びN2のソース及びドレイン領域を含む高論理電圧をもつノードである拡散/基板境界を通過する電離性放射によって生成された自由電子及びホール(エネルギー・アルファ粒子等)は、ノードに集まる。電荷の集積は、ノード電圧を減らし、臨界電荷(Qc)を越えるとソフトエラーを起こす。図1のような記憶セルの脆弱さは、典型的及びある程度理想化された、図2に示された記憶セルのレイアウトから容易に理解できる。N形及びP形トランジスタの位置を逆にした変形が、図5に図示された本発明のレイアウトとの比較を容易にするために図6に示されている。

【0017】同じ参照文字及び数字が、図1、図2及び図6の全てに対して、可能な限り使われている。図2及び図6において、P形ラッチ・トランジスタP1及びP2は、例えば、P形基板に形成されたN形井戸20に形成されている。N形ラッチ・トランジスタN1及びN2は、それに隣接して形成されている。N形ワード線アクセス・トランジスタNA及びNBは、ゲートが比較的直線構成を有するワード線WLによって形成できるように、トランジスタN1及びN2に隣接して形成されるのが望ましい。図2及び図6から、パフォーマンス及びセルの安定性の理由で、N形ラッチ・トランジスタの領域が、P形ラッチ・トランジスタの領域のおよそ2倍であることに留意する必要がある(例えば、セルがビット線によって与えられたかなりの容量に読み込まれるとき、セルの状態変化を防止するため)。

【0018】従って、N形ラッチ・トランジスタ及びワード線アクセス・トランジスタは、エネルギー粒子の比較的大きな「標的」を形成する。図3及び図4を参照して、本発明による記憶セル100の回路及び動作を説明する。本質的に、本発明は、臨界ノード(図2の12又は14)を2つの部分(12'、12" 或いは14'、14")に分割し、2つの部分をP形ラッチ・トランジスタが形成されるN形井戸の反対側に置くことによって、免疫性を実現する。これは、ラッチの交差結合された増幅器のそれぞれに対して、別々の並列接続されたN形ラッチ・トランジスタN1'、N1" 及びN2'、N2" (これらは、図2の記憶セルのトランジスタN1及

びN2と比較して小さなサイズで良い)を形成することによって行われる。

【0019】これらのトランジスタは隔てられているので、望ましくはVccに接続してトランジスタP1及びP2の各々の伝導端子に電源電圧を提供するN形井戸の反対側に位置することができる。従って、N形井戸は、N形井戸の片側に衝突するエネルギー粒子によって生成された電子又はホールを、N形井戸の反対側の空乏領域に影響を及ぼすことから防いでいる。もっと具体的に言えば、図4に示すように、トランジスタN1'及びN2'の部分が、基板40に形成されるように描かれ、図3の系統図の残りの部分は、系統図の形で示されている。ノード12'、12"を臨界ノードであると仮定すると、空乏領域42は、ノード12"に対応する不純物を添加された領域48を囲む基板に存在する。

【0020】類似した空乏領域44は、ノード12' (及びトランジスタN1')に対応する不純物を添加された領域46を囲んでいる。空乏領域は、また、ノード14'及び14" (それぞれトランジスタN2'及びN2")に対応する不純物を添加された領域56及び58のまわりに存在する。しかし、これらは臨界ノードではなく、集められた電荷は、セルの蓄電状態を補強する。今仮に、エネルギー粒子が空乏領域42 (これは本質的に寄生的コンデンサ)の近傍に電子及びホールの生成を起こしたと仮定すると、蓄積電荷の放電が起こり、その結果空乏領域42が42'で描いた縮小されたサイズとなる。

【0021】電極46がノード12'及び12"を接続する低抵抗経路によって電極48に接続されているので、電圧は下がるけれども、空乏領域44に蓄積された電荷は、Vccに保持されたN井戸20が挿入されおり、電子が空乏領域44に到達することを妨げるために、生成された電子及びホールによって影響を受けない。しかし、集められる電荷の量は、ノード12'及び12"の各々における小規模の拡散のために減少する。空乏領域42が、図2及び図6のセル設計の単一空乏領域のおよそ半分の領域を有するので、電荷の集積は、かなり少ない。ソフトエラーの発生率は、集積電荷量がセル状態を反転するのに必要な臨界電荷を越える確率に比例する。

【0022】従って、たとえ電荷集積効率の小さな減少でも、電荷の集積レベルが、臨界電荷以下に減らされるので、ソフトエラーの発生率を大きく減少させることができる。本発明の場合、電荷集積効率は、統計的に無視できる確率であるエネルギー粒子が空乏領域42及び44の両方をたたくように配列された場合以外の全ての条件に対して、事実上減らされる。本発明による記憶セルはある程度理想化した典型的レイアウトを示す図5から、本発明のその他の長所が容易に理解されるであろう。第1に、トランジスタの領域N1'、N1"、N2'、及

びN2"は、図2のトランジスタN1及びN2と比較すると、それぞれ半分に減らされる。従って、各トランジスタは、図2の記憶セルにおいて、エネルギー粒子によって影響を受ける見込みの僅か半分である。

【0023】更に、図2又は図6と比べて、ランジスタによって占められる追加の空間はなく、記憶セルのサイズに関する唯一必要な増加は、基板上の構造の間に分離が必要であることである。簡単に図3を振り返って、第2のワード線アクセス・トランジスタNA2及びNB2が、ワード線アクセス・トランジスタNA1及びNB1に加えて提供されており、選択的に各交差結合増幅器の出力ノードをビット線BL1a及びBL1bに対してと同じ選択的結合方法で、ビット線BL2a及びBL2bに接続している。この選択的に並列の接続は、記憶セル100に対する第2のポートを提供する。

【0024】図5に示すように、本発明による記憶セルのレイアウトは、臨界ノードの分割によって、ワード線WL2によって制御されたトランジスタNA2及びNB2を含む第2のポートの追加に関して、便利な場所を提供する。この第2のポートは、対称的に配置 (トランジスタと筋交いに、一般に井戸の反対側の位置で、交差結合増幅器の1つのトランジスタに隣接して)され、同じ層に、第1ポートと同時に形成することができる。従って、もしあっても非常に僅かなアレイ・セル領域の増加が必要だけで、必要な処理ステップの数を限定できる。実際問題として、記憶セルのサイズ (処理ステップ数ではない)が増加し、これは、図2及び図6の記憶セルと比較して約25% (例えば28平方ミクロンから35、3平方ミクロン)だけである。

【0025】このサイズに関するペナルティでさえも、N形井戸側での隔離溝のような追加の隔離構造の形成によって、減らすことができ、NMOS及びPMOSTランジスタの間の間隔の縮小を可能にする。別の方法で、PMOSTランジスタをどこかほかの場所の置くことができると仮定すると、臨界ノード部分の間の隔離は、N形井戸ではなく隔離溝によって提供することができる。前述のことを考慮すると、チップ空間及び製造の複雑さにおけるコストを実質的に払わないで、本発明がソフトエラーに対する大いに改善された免疫性を有する記憶セル構造を提供することが分かる。記憶セルの臨界ノードを形成するトランジスタの反対の導電型の井戸による分割及び分離は、電離性放射を、電荷の臨界量Qcが集まる確率が無視できるレベルに減少するようにさせるとき、拡散領域における電荷集積効率の実質的縮小を達成する。

【0026】本発明による記憶セルのレイアウトは、製造ステップの複雑さを増したり又は層を追加したりしないで、単一ポートの記憶セルに比べて、わずかなチップ空間の増加を必要とするだけで、第2のポートを提供できる利点がある。本発明に関して、1つの望ましい具体

化の観点から説明したけれども、当業者は、本発明が発明の精神と特許請求の範囲内で修正して実践できることが分かるであろう。

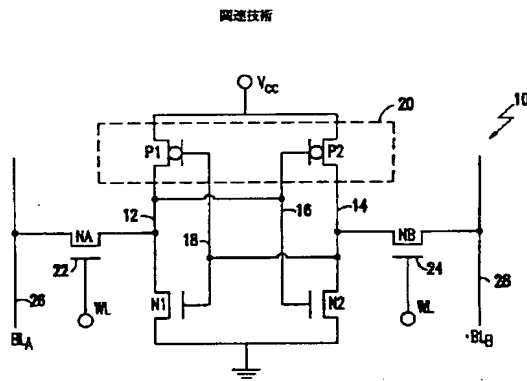
【0027】

【発明の効果】本発明によって、ソフトウェアに対して著しく改善された免疫性有し、極めて低いソフトウェア率を示す記憶セル構造を提供することができ、また製造ステップを僅かしか或いは全く増加させないで、高い歩留りで作ることができる簡略化したトポロジを有する2ポート記憶セル構造を提供することができる。更に本発明は、これらの特性を持たない従来のSRAMセルに比べて大きなチップの空間を必要としないで、ソフトウェアに対して非常に高い免除を有し、少なくとも2ポートで容易に形成することができる高性能SRAMセルを提供することができる。

【図面の簡単な説明】

【図1】本発明が改良を加える記憶セルの概略図であ *

【図1】



* する。

【図2】図1の記憶セルの典型的レイアウトの図である。

【図3】本発明による記憶セルの概略図である。

【図4】本発明による記憶セルの部分の概要と構造を示す複合図であり、ソフトウェア及び本発明によって提供される免疫性を理解するのに役に立つ。

【図5】図3に示された本発明の記憶セルの典型的レイアウトの図である。

10 【図6】図1の記憶セルのレイアウトの変形であり、図5に示された本発明のレイアウトとの比較に特に役立つ。

【符号の説明】

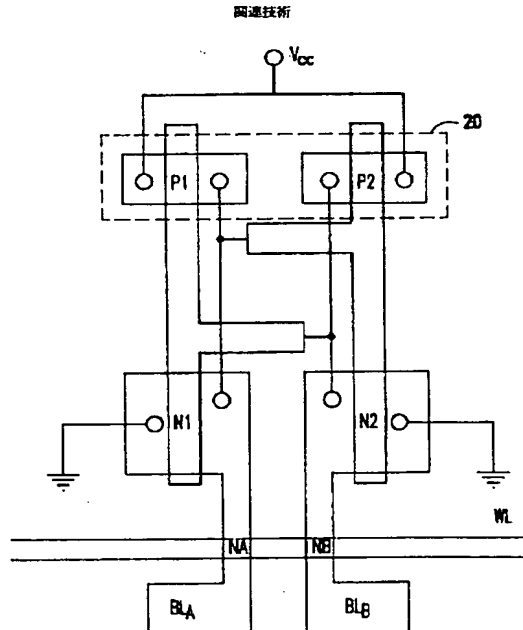
20 N形井戸

40 基板

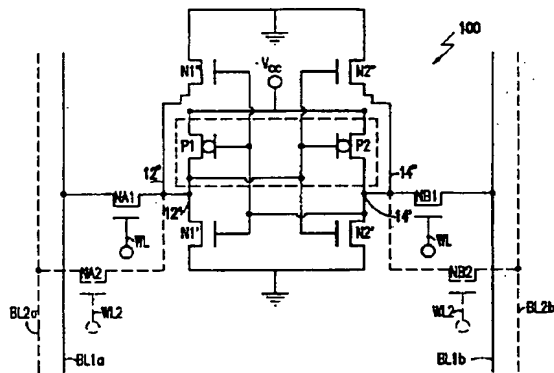
42、44 空乏領域

100 本発明の記憶セル

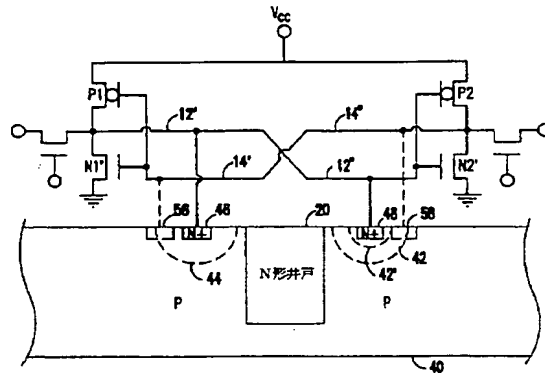
【図2】



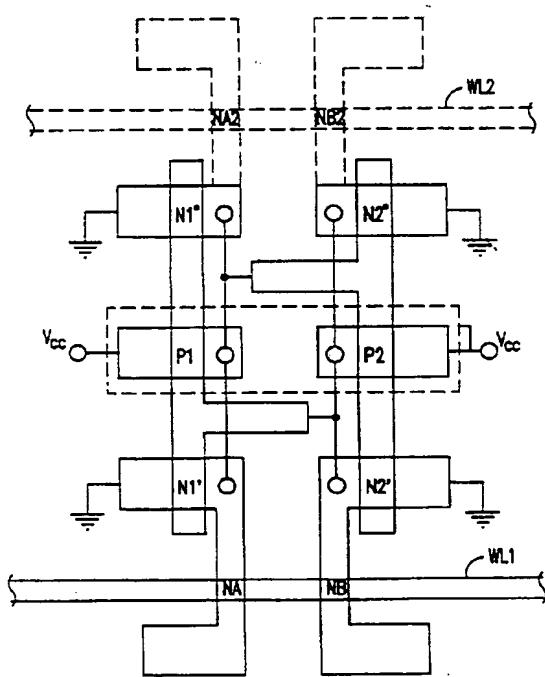
【図3】



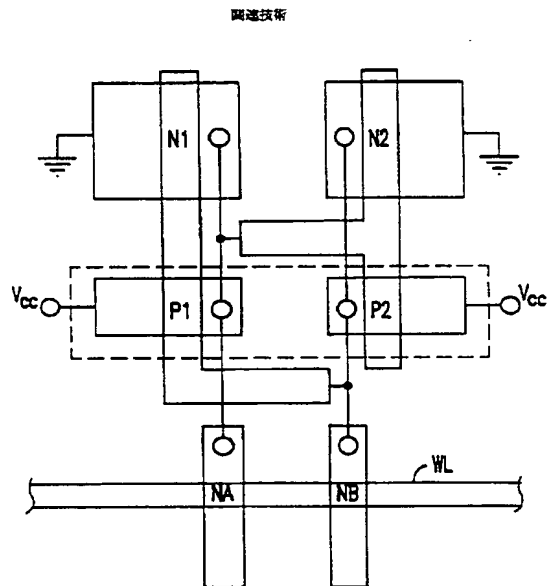
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 ウィリアム アラン クラーセン
 アメリカ合衆国 05489 バーモント州
 アンダーヒル ビーバーヒル アールアール
 ル1 ボックス6860